

PLASMA DISPLAY PANEL AND ITS DRIVING METHOD

Patent number: JP2000194317
Publication date: 2000-07-14
Inventor: TOMITA KAZUO
Applicant: MATSUSHITA ELECTRIC IND CO LTD
Classification:
- international: G09G3/28; G09G3/20; H01J11/00
- european:
Application number: JP19980369151 19981225
Priority number(s): JP19980369151 19981225

Report a data error here

Abstract of JP2000194317

PROBLEM TO BE SOLVED: To increase the screen luminance and to simultaneously improve the light emitting efficiency of sustain discharge. **SOLUTION:** The sustain discharge is generated between a sustain electrode of a front surface glass substrate 1 and a scan electrode and the electrode 3. Against this sustain discharge, sustain pulses Psus are also applied to an address electrode 7 on a back surface glass substrate 9 and the discharge in the vicinity of the substrate 1 and the discharge between the substrates 1 and 9 are simultaneously generated. Moreover, a sustain auxiliary electrode is provided in parallel with the electrode 7 so that surface discharge on the substrate 1 and opposing discharge between the substrates 1 and 9 are simultaneously generated. Thus, the area of fluorescent body being excited is increased and the light emitting efficiency is improved.

Data supplied from the **esp@cenet** database - Worldwide

BEST AVAILABLE COPY

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-194317

(P2000-194317A)

(43) 公開日 平成12年7月14日 (2000.7.14)

(51) IntCl. ⁷	識別記号	F I	テマコード (参考)
G 0 9 G 3/28		G 0 9 G 3/28	K 5 C 0 4 0
3/20	6 2 4	3/20	6 2 4 N 5 C 0 8 0
	6 4 2		6 4 2 D
H 0 1 J 11/00		H 0 1 J 11/00	K

審査請求 有 請求項の数 8 O L (全 14 頁)

(21) 出願番号 特願平10-369151

(22) 出願日 平成10年12月25日 (1998. 12. 25)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 富田 和男

神奈川県川崎市多摩区東三田3丁目10番1

号 松下技研株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

Fターム(参考) 5C040 FA01 FA04 GB03 GB14 GC11

LA18

5C080 AA05 BB05 DD01 DD26 EE29

FF12 HH02 HH04 JJ02 JJ04

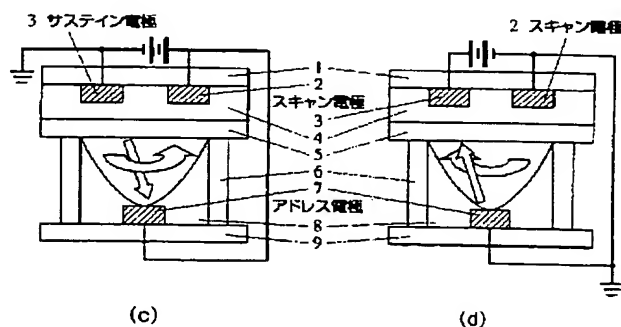
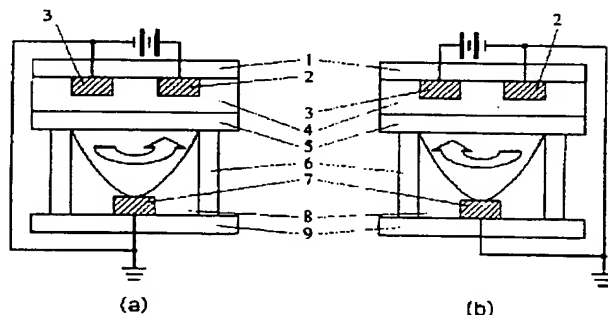
JJ06

(54) 【発明の名称】 プラズマディスプレイパネル及びその駆動方法

(57) 【要約】

【課題】 画面輝度を上昇させ、かつサステイン放電の発光効率を向上するプラズマディスプレイパネル及びその駆動方法を提供することを目的とする。

【解決手段】 前面ガラス基板1のサステイン電極3とスキャン及びサステイン電極3間で発生するサステイン放電に対して、背面ガラス基板9上のアドレス電極7にもサステインパルス P_{sus} を印加して、前面ガラス基板1付近の放電と前面ガラス基板1と背面ガラス基板9間の放電を同時に発生させるものである。また、アドレス電極に平行してサステイン補助電極を設けたもので、前面ガラス基板上の面放電と、前面ガラス基板と背面ガラス基板間の対向放電とを同時に発生させることにより、励起される蛍光体面積が増加し、発光効率が向上するという効果を得るものである。



【特許請求の範囲】

【請求項1】 前面ガラス基板にサステイン電極、スキヤン電極が複数個互いに並列にかつ交互に配列され、背面ガラス基板にアドレス電極が、サステイン電極、スキヤン電極に対して垂直に配列されているプラズマディスプレイパネルにおいて、前面ガラス基板上の面放電と、前面ガラス基板と背面ガラス基板間の対向放電とを同時に発生させることを特徴とするプラズマディスプレイパネル。

【請求項2】 アドレス電極に平行してサステイン補助電極を設けたことを特徴とする請求項1記載のプラズマディスプレイパネル。

【請求項3】 1フィールドをセットアップ、アドレス期間、サステイン期間と消去期間により構成し、サステイン電極、スキヤン電極及びアドレス電極に所定の規則に従って駆動パルスを供給することにより駆動する駆動方法において、サステイン期間では、半周期毎にサステイン電極とスキヤン電極の2つの電極に、交互にサステインパルスを印加することで発生する放電に加えて、サステイン電極もしくはスキヤン電極のサステインパルスに同期したサステインパルスを、アドレス電極に印加することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項4】 サステイン電極、スキヤン電極及びアドレス電極のほかに、アドレス電極に平行にサステイン補助電極を設け、サステイン電極とアドレス電極に同じサステインパルス、半周期後にスキヤン電極とサステイン補助電極に同じサステインパルスを印加する、若しくはサステイン電極とサステイン補助電極に同じサステインパルス、半周期後にスキヤン電極とアドレス電極に同じサステインパルスを印加することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項5】 アドレス電極に印加されるサステインパルスによる放電で、電極上に蓄積した壁電荷を、サステイン電極に印加される消去パルスと同一のパルスを、アドレス電極に印加するように構成した請求項3または請求項4記載のプラズマディスプレイパネルの駆動方法。

【請求項6】 アドレス電極に印加されるサステインパルスは、サステイン電極もしくは、スキヤン電極に印加されるサステインパルスから1 μ sec以内の遅れもしくは、先行して印加されることを特徴とする請求項3乃至5のいずれかに記載のプラズマディスプレイパネルの駆動方法。

【請求項7】 アドレス電極に印加されるサステインパルスの電圧は、サステイン電極もしくは、スキヤン電極に印加されるサステインパルス電圧とは、同一の値若しくは異なる値に設定できることを特徴とする請求項3乃至6のいずれかに記載のプラズマディスプレイパネルの駆動方法。

【請求項8】 アドレス電極に印加されるサステインパ

ルスは、サステイン電極もしくは、スキヤン電極に印加されるサステインパルス幅とは、同一の値若しくは異なる値に設定できることを特徴とする請求項3乃至7のいずれかに記載のプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、放電により表示発光する素子の集合で構成されたマトリクス型表示パネ

10 ル、特にプラズマディスプレイパネル（以後、PDPと記述）に係り、発光効率の向上により、表示発光輝度を上昇させ、かつ、消費電力を低下させることが可能なプラズマディスプレイパネル及びその駆動方法に関する。

【0002】

【従来の技術】従来のAC型PDPの構造を図12に示す。表面ガラス基板上には複数のサステイン電極3と複数のスキヤン電極2が平行にかつ交互に配置されている。これらは、透明電極21と金属バス電極20により構成されている。また、背面ガラス基板9上には複数のアドレス電極7がサステイン電極3及びスキヤン電極2と垂直に交わるようにして配置されている。ここで、映像を表示するために発光しているのは、表面ガラス基板上のサステイン電極3とスキヤン電極2である。アドレス電極7は放電するセルを選択するための電極であり、表示発光には直接寄与していない。

【0003】図13にPDPの各電極に印加されているパルス印加タイミングチャートを示す。PDPでは、1フィールド期間が、複数個のサブフィールドと呼ばれる期間に分離されており、各サブフィールドには、セットアップ期間、アドレス期間、サステイン期間、消去期間が設定されている。

【0004】各サブフィールドのセットアップ期間においては、PDP内の全ての画素において、放電が発生させ、次のアドレス期間において、放電の発生が容易になるように、サステイン電極3、スキヤン電極2およびアドレス電極7に電荷を蓄積させる。

【0005】次のアドレス期間では、サステイン期間において表示発光させる画素を選択するための期間であり、スキヤン電極2とアドレス電極7の間で放電が発生させ、サステイン期間で放電が容易に発生できるように、サステイン電極3とスキヤン電極2に電荷を蓄積させる。この期間で、放電が発生しない画素は、次のサステイン期間において、表示発光することはない。

【0006】さらに、サステイン期間では、アドレス期間において選択された画素のみが、表示発光をおこなう。このサステイン期間に印加されるサステインパルスP_{sus}数は、各サブフィールドで異なり、例えば、サブフィールド数が8個の場合には、1:2:4:8:16:32:64:128の重み付けがされている。ここで、サブフィールドの発光を任意の組合わせることで、

256段階の中間調表示が可能となる。

【0007】最後に、消去期間では、サステインパルス P_{sus} による放電より弱い放電を発生させ、サステイン期間での放電により発生した画素間の壁電荷の不均一性を取り除く。この後に、次のサブフィールドが印加されることになる。

【0008】

【発明が解決しようとする課題】従来のAC型PDPでは、サステインパルス P_{sus} による放電の発光効率が低いため、CRTと比較して画面輝度は低く、また消費電力は多いことが課題とされてきた。また、セットアップ期間とアドレス期間は発光に寄与しない期間であるにもかかわらず、1フィールドの半分以上を占めている。このため、限られた時間内で画面輝度を上昇させるのに、サステインパルス P_{sus} 周期は高周波数となっている。さらに、今後需要が増加する高精細パネルでは、画素を隔てる障壁6部分の画面に占める割合が増加する。この障壁6は発光に寄与しないため、更なる画面輝度の低下が予想される。

【0009】上記のようなPDPにおける発光効率の向上に対する対策として各種の提案がなされており、特開平9-68944号公報では、サステイン期間において、サステインパルス P_{sus} の印加を休止する期間を約 $1\mu sec$ 設け、この間にアドレス電極7にパルスを印加し、前面ガラス基板1上のどちらか一方の電極と放電を発生させる方法である。しかし、この方法では、PDPの画面輝度は向上するが、サステイン放電回数が増加するため、消費電力も増加するという課題を有していた。

【0010】本発明は、サステインパルス P_{sus} による放電の発光効率を改善し、画面輝度を上昇させ、かつ消費電力の増加の少ないPDPの構造とその駆動方法を提供することを目的とする。

【0011】

【課題を解決するための手段】この課題を解決するために本発明は、前面ガラス基板11上のサステイン電極3とスキャン電極2によりサステイン放電が発生する際に、背面ガラス基板9上のアドレス電極7にもサステインパルス P_{sus} を印加し、前面ガラス基板11上の電極のうちどちらか一方、もしくは両方とサステイン放電を行うように構成したものである。

【0012】これにより、前面ガラス基板11付近で発生していた放電の一部が、背面ガラス基板9付近からも発生することになる。このため、背面ガラス基板9付近に紫外線が移動し、背面ガラス基板9付近の蛍光体8からの発光が増え、PDPの画面輝度は上昇する。また、消費電力については、アドレス電極7とスキャン電極2が同時に放電するため、電極面積が増加し、放電電流密度が低下することになり、発光効率が向上し、消費電力は減少することになる。

【0013】

【発明の実施の形態】本発明の請求項1に記載の発明は、前面ガラス基板にサステイン電極、スキャン電極が複数個互いに並列にかつ交互に配列され、背面ガラス基板にアドレス電極が、サステイン電極、スキャン電極に対して垂直に配列されているプラズマディスプレイパネルにおいて、前面ガラス基板上の面放電と、前面ガラス基板と背面ガラス基板間の対向放電とを同時に発生させることにより、励起される蛍光体面積が増加し、プラズマディスプレイパネルの画面輝度が上昇し、さらに、サステイン放電にアドレス電極が追加されるために、電極面積が増加し、発光効率が向上するという作用を有する。

【0014】請求項2に記載の発明は、請求項1記載のプラズマディスプレイパネルにおいて、アドレス電極に平行してサステイン補助電極を設けたもので、前面ガラス基板上の面放電と、前面ガラス基板と背面ガラス基板間の対向放電とを同時に発生させることにより、励起される蛍光体面積が増加し、プラズマディスプレイパネルの画面輝度が上昇し、さらに、サステイン放電にアドレス電極が追加されるために、電極面積が増加し、発光効率が向上するという作用を有する。

【0015】請求項3に記載の発明は、1フィールドをセットアップ、アドレス期間、サステイン期間と消去期間により構成し、サステイン電極、スキャン電極及びアドレス電極に所定の規則に従って駆動パルスを供給することにより駆動する駆動方法において、サステイン期間では、半周期毎にサステイン電極とスキャン電極の2つの電極に、交互にサステインパルスを印加することで発生する放電に加えて、サステイン電極もしくはスキャン電極のサステインパルスに同期したサステインパルスを、アドレス電極に印加するもので、サステイン期間では、半周期毎に反転するサステインパルスをサステイン電極とスキャン電極に印加する放電に加えて、サステイン電極もしくはスキャン電極のサステインパルスと同じパルスをアドレス電極に印加するように構成したプラズマディスプレイパネルの駆動方法としたものであり、前面ガラス基板付近のみの放電が背面ガラス基板付近にも拡大し、励起される蛍光体面積が増加し、プラズマディスプレイパネルの画面輝度が上昇し、さらに、サステイン放電にアドレス電極が追加されるために、電極面積が増加し、発光効率が向上するという作用を有する。

【0016】請求項4に記載の発明は、サステイン電極、スキャン電極及びアドレス電極のほかに、アドレス電極に平行にサステイン補助電極を設け、サステイン電極とアドレス電極に同じサステインパルス、半周期後にスキャン電極とサステイン補助電極に同じサステインパルスを印加する、若しくはサステイン電極とサステイン補助電極に同じサステインパルス、半周期後にスキャン電極とアドレス電極に同じサステインパルスを印加する

もので、サステインパルスの1周期毎であった背面ガラス基板付近での放電を、半周期毎に発生し、放電電極の面積が増加するため、更なる発光効率の向上が可能となるという作用を有する。

【0017】請求項5に記載の発明は、請求項3または請求項4記載のプラズマディスプレイパネルの駆動方法において、アドレス電極に印加されるサステインパルスによる放電で、電極上に蓄積した壁電荷を、サステイン電極に印加される消去パルスと同一のパルスを、アドレス電極に印加するもので、アドレス電極上の壁電荷の均一性を保ち、次のサブフィールドでの誤放電を防止するという作用を有する。

【0018】請求項6に記載の発明は、請求項3乃至5のいずれかに記載のプラズマディスプレイパネルの駆動方法において、アドレス電極に印加されるサステインパルスは、サステイン電極もしくは、スキャン電極に印加されるサステインパルスから1 μ sec以内の遅れもしくは、先行して印加されるものであり、前面ガラス基板上のサステイン電極とスキャン電極間の放電開始に遅れることなく、背面ガラス基板上のアドレス電極とサステイン電極、若しくはスキャン電極間の放電が開始するという作用を有する。

【0019】請求項7に記載の発明は、請求項3乃至6のいずれかに記載のプラズマディスプレイパネルの駆動方法において、アドレス電極に印加されるサステインパルスの電圧は、サステイン電極もしくは、スキャン電極に印加されるサステインパルス電圧とは、同一の値若しくは異なる値に設定できるものであり、アドレス電極から印加されるアドレスパルスとサステインパルスの印加電圧が同一となり、新たな駆動回路を必要としないという作用を有する。

【0020】請求項8に記載の発明は、請求項3乃至7のいずれかに記載のプラズマディスプレイパネルの駆動方法において、アドレス電極に印加されるサステインパルスは、サステイン電極もしくは、スキャン電極に印加されるサステインパルス幅とは、同一の値若しくは異なる値に設定できるものであり、アドレス電極からのサステイン放電の強度を、アドレス電極に印加されるサステインパルス幅により調整できるという作用を有する。

【0021】以下、本発明の実施の形態について、図を用いて説明する。

（実施の形態1）本発明の基本的な技術思想は、3電極面放電型ACPD Pにおいて、前面ガラス基板1のサステイン電極3とスキャン及びサステイン電極3間で発生するサステイン放電に対して、背面ガラス基板9上のアドレス電極7にもサステインパルスP s u sを印加して、前面ガラス基板1付近の放電と前面ガラス基板1と背面ガラス基板9間の放電を同時に発生させるものである。

【0022】さらに詳しく説明すると、PDPにおいて

発光効率を向上させるには、セル全体の蛍光体8を均一に発光させる方法が考えられる。

【0023】ここで、図1(a)(b)に3電極面放電型ACPD Pにおけるサステイン放電の経路を示す。このように、サステイン放電が発生しているのは、前面ガラス基板1付近であり、紫外線の発生量分布も、前面ガラス基板1付近が多いと考えられる。このため、3電極面放電型ACPD Pでの発光は、前面ガラス基板1に近い、障壁6部分の発光が最も強いことになる。

10 【0024】そこで、図1(c)(d)に、本発明での放電経路を示す。このように、この前面ガラス基板1付近の放電の一部を背面ガラス基板9付近に移動させることで、紫外線が比較的少ないと考えられる背面ガラス基板9付近の蛍光体8にも、図1(a)(b)に示した従来の方法よりも、多くの紫外線が到達し、励起及び発光が増加する。ただし、蛍光体8の近傍で強い放電が発生すると、蛍光体8自身が劣化するため、強い放電は前面ガラス基板1付近で発生させ、その一部を移動させ、前面ガラス基板1と背面ガラス基板9間では弱い放電を発生させる。

20 【0025】また、放電電流密度の低下によってもPDPの発光効率は向上する。本発明では、従来の前面ガラス基板1付近のサステイン放電に加えて、前面ガラス基板1と背面ガラス基板9間でのサステイン放電が追加されている。このため、サステイン放電に寄与する電極面積が増加し、放電電流密度が低下するため、発光効率が向上する考えられる。ただし、単なる放電電流密度の低下は、発光輝度の低下を招くが、背面ガラス基板9付近の発光が増加していると考えられるため、発光輝度の上昇が可能となる。

30 【0026】以下に本発明のPDP装置について詳細に説明する。図2は、本発明によるPDP装置の構成を示すブロック図であり、PDP100、アドレス電極用ドライバ101、スキャン電極用ドライバ102、サステイン電極用ドライバ103、放電制御タイミング発生回路部104、A/Dコンバータ（アナログ・ディジタル変換器）107、メモリ部106、サブフィールド処理部105及び同期信号分離処理部108から構成される。

40 【0027】ビデオ信号109は、A/Dコンバータ107でアナログ信号をディジタル信号に変換し、1フィールド分の映像データをメモリ部106に蓄積し、サブフィールド処理部105で複数のサブフィールドに適合した映像データに分離され、アドレス電極7用ドライバに1水平ラインごとのデータとして出力される。また、放電制御タイミング発生部から、サブフィールド数と水平及び垂直同期信号を基準とした放電制御タイミング信号を、サステイン電極用ドライバ103、スキャン電極用ドライバ102及びアドレス電極用ドライバ101に出力する。

【0028】上記のように構成されたPDP装置について、詳細に説明する。同期信号分離処理部108からA/Dコンバータ107、メモリ部106、サブフィールド処理部105及び放電制御タイミング発生回路部104には水平同期信号及び垂直同期信号が与えられる。ビデオ信号109がA/Dコンバータ107には入力される。A/Dコンバータ107は、ビデオ信号109を例えば8Bit・256階調のデジタルデータに変換し、その画像データをメモリ部106に出力する。メモリ部106は、1フィールド分の8Bit・256階調のデジタルデータを蓄え、サブフィールド処理部105に各Bit毎のデータを出力する。

【0029】サブフィールド処理部105は、各フィールド毎のデジタルデータをサブフィールド数に対応したサブフィールド毎のデジタルデータに変換する。例えば、8サブフィールドであれば、各ビット毎のデータを、そのまま各サブフィールド毎のデータするが、サブフィールド数が12であった場合には、上位ビットにおいて、1ビットに対するサブフィールドが複数となる。さらに、表示発光するサブフィールドが時間的に連続するように、サブフィールドを選択する。このように、選択された各サブフィールド毎の各画素データを、アドレス電極用ドライバ101に1水平ライン毎のデータとして出力する。また、サブフィールド数の情報を、放電制御タイミング発生回路部104に出力する。

【0030】放電制御タイミング発生回路部104は、同期信号分離処理部108からの水平同期信号及び垂直同期信号とサブフィールド処理部105からのサブフィールド数の情報を基準として、放電制御タイミング信号を発生し、それぞれスキャン電極用ドライバ102、サステイン電極用ドライバ103および、アドレス電極用ドライバ101にそれぞれ与える。

【0031】図3は、図2に示したPDP装置の主としてPDP駆動回路部の構成を示すブロック図である。図3に示すように、PDPは複数のアドレス電極7、複数のスキャン電極2及び複数のサステイン電極3を含む構成となる。

【0032】複数のアドレス電極7は、画面の垂直方向に配置され、複数のスキャン電極2およびサステイン電極3は画面の水平方向に配置されている。アドレス電極7、スキャン電極2及びサステイン電極3の交点に放電セルが形成され、R、G、B3色の放電セルで1画素を構成している。

【0033】また、アドレス電極用ドライバ101は、アドレスドライバ200、サステインドライバ201及び消去ドライバ203が含まれる。このアドレスドライバ200は、図2のサブフィールド処理部105から各サブフィールド毎に与えられる1水平ライン毎の平行データに基づいて、複数のアドレスドライバ200を駆動する。また、サステイン期間及び消去期間では、サ

ステイン電極用ドライバ103と同期したサステインパルスP_{sus}および消去パルスP_{era}が出力される。

【0034】スキャン電極用ドライバ102は、スキャンドライバ202及びサステインドライバ201を含む構成となる。スキャンドライバ202は、図2の放電制御タイミング発生回路部104から与えられる放電制御タイミング信号を、垂直スキャン方向にシフトした複数のスキャンパルスP_{scn}により複数のスキャン電極2を順次駆動する。また、セットアップ期間では、複数のスキャン電極2に一斉にセットアップパルスP_{set}を出力する。また、サステイン期間では、サステイン電極用ドライバ103と同期したサステインパルスP_{sus}が複数のスキャン電極2に一斉に出力される。

【0035】サステイン電極用ドライバ103は、サステインドライバ201及び消去ドライバ203から構成される。各ドライバには、図2の放電制御タイミング発生部104から与えられる放電制御タイミング信号により、複数のサステイン電極3が同時に駆動される。

【0036】図4に本発明に用いた各電極の印加パルスのタイミングチャートを示す。PDP装置では、1フィールド期間(約16.7msec)が複数のサブフィールドと呼ばれる期間に分離されており、図4には、1サブフィールド分の印加パルス波形を示す。印加パルスは、セットアップ期間、アドレス期間、サステイン期間及び消去期間の4段階に分割されている。

【0037】まず、第1段階としてセットアップ期間がある。この期間は、第2段階のアドレス期間に発生するアドレス放電を発生しやすくするための期間であり、スキャン電極2に約400Vの電圧が印加される。このため、スキャン電極2上には負の電荷、サステイン電極3上には正の電荷、アドレス電極7上には正の電荷が蓄積することになる。ここで、蓄積する壁電荷は、第3段階のサステイン期間に印加されるサステインパルスP_{sus}の電圧のみでは、放電することはない。

【0038】第2段階は、アドレス期間である。この期間は、第3段階のサステイン期間で、表示発光するセルを選択するための期間となる。第1期間のセットアップ期間で蓄積した壁電荷を利用して放電を発生させている。アドレス電極7には、約80V、スキャン電極2は0V、サステイン電極3は約200Vの電圧を印加する。これによりアドレス電極7とスキャン電極2間で放電を発生する。このため、スキャン電極2上に正の電荷、アドレス電極7上には負の電荷、サステイン電極3上には負の電荷が蓄積することになる。ここで、スキャン電極2とサステイン電極3には、セットアップ期間で蓄積した壁電荷よりも、多くの壁電荷が蓄積していることになる。

【0039】次の第3段階では、第2段階で蓄積された壁電荷を利用して、サステイン放電が開始する。サステインパルスP_{sus}は、スキャン電極2から開始する。

このため、スキャン電極2上には正の電荷、サステイン電極3上には負の電荷、アドレス電極7上には負の電荷が必要となる。これらの電荷は、第2段階でアドレス放電が発生したセルに蓄積されていることになる。最初のサステインパルス P_{sus} はスキャン電極2のみのため、従来と同様にサステイン電極3とスキャン電極2間の放電となる。しかし、次のサステインパルス P_{sus} は、アドレス電極7とサステイン電極3から印加されるため、サステイン電極3とスキャン電極2間の放電と、アドレス電極7とサステイン電極3間の放電が発生する。これにより、放電がセル全体に広がることになり、背面ガラス基板9付近の蛍光体8も、従来以上に紫外線に励起されることになる。

【0040】次のサステインパルスは、スキャン電極のみに印加される。従来の駆動方法では、アドレス電極にはサステインパルスが印加されていないために、アドレス電極からの放電は存在しなかった。しかし、サステイン電極に同期したサステインパルスをアドレス電極に印加した場合には、スキャン電極のみのサステインパルスの放電でも、アドレス電極への放電は発生する。

【0041】また、放電個所が増加することで、各電極の放電電流密度も低下し、発光効率向上に寄与していると考えられる。一度アドレス電極7からもサステイン放電が開始されると、スキャン電極2からの放電電流もアドレス電極7に流れるため、スキャン電極2からの放電に関しても、セル全体に広がることになり、紫外線に励起される蛍光体8が増加し、各電極の放電電流密度は低下する。

【0042】ここで、アドレス放電が発生していないセルの各電極上の電荷蓄積状態は、第1段階のセットアップ期間と同一であるため、サステイン電極3上には正の電荷、スキャン電極2上には負の電荷、アドレス電極7上には正の電荷が蓄積されている。さらに、サステイン電極3とスキャン電極2上の電荷の蓄積量では、第3段階のサステインパルス P_{sus} の印加電圧では、サステイン放電が開始することはない。

【0043】さらに、アドレス電極に印加されるサステインパルスの印加タイミングについて説明する。図5にアドレス電極とサステイン電極に印加されるサステインパルスおよび放電電流を示す。図5(a)は印加タイミングが一致している場合を示し、図5(b)はアドレス電極に印加されるサステインパルスが $1\mu sec$ 以上の先行をしている場合を示し、図5(c)はアドレス電極に印加されるサステインパルスが $1\mu sec$ 以上の遅延となっている場合を示している。

【0044】図5(a)のサステインパルスの印加タイミングが一致している場合は、アドレス電極及びサステイン電極から放電電流が十分に流れ、画面輝度は上昇し、発光効率も向上する。これに対して、図5(b)及び図5(c)におけるサステインパルスの印加タイミン

グでの放電では、サステイン電極のサステインパルスの印加開始からの時間差が大きくなるにつれて、アドレス電極からの放電電流は減少し、画面輝度および発光効率は、前面ガラス基板上のサステイン電極とスキャン電極間の面放電時と同程度になる。このため、アドレス電極に印加するサステインパルスは、画面輝度及び発光効率が最大になるように、 $1\mu sec$ 以内に調整する必要がある。

【0045】最後の第4段階は消去期間となる。この期間は、サステイン放電が発生したセルと放電のないセルの壁電荷の状態を均一にする期間となる。スキャン電極2は0Vであり、アドレス兼サステイン電極3とサステイン電極3には立ち上がりの緩やかなパルスが印加されている。これにより、全セル内の壁電荷は中和される。

【0046】以上のように、前面ガラス基板上の面放電と、前面ガラス基板と背面ガラス基板間の対向放電とを同時に発生させることにより、励起される蛍光体面積が増加し、プラズマディスプレイパネルの画面輝度が上昇し、さらに、サステイン放電にアドレス電極が追加されるために、電極面積が増加し、発光効率が向上するという効果を得ることができる。

【0047】(実施の形態2)本発明の基本的な技術思想は、4本の電極によりサステイン放電を発生させ、前面ガラス基板1上の放電と前面ガラス基板1と背面ガラス基板9間の放電を、セル内に偏りなく発生させるものである。

【0048】図6に4電極によるACPDPの斜視図を示す。これは、図1に示した3電極面放電型ACPDPの背面ガラス基板9上のアドレス電極7に平行にサステイン放電を補助するサステイン放電補助電極10を配置し、前面ガラス基板1上のサステイン電極3とスキャン電極2間で発生するサステイン放電に加え、背面ガラス基板9上のアドレス電極7とサステイン放電補助電極10にもサステインパルス P_{sus} を印加して、前面ガラス基板1付近の放電と前面ガラス基板1と背面ガラス基板9間の放電を同時に発生させるものである。

【0049】さらに詳しく説明すると、図1(c)

(d)に示したように、実施の形態1では、アドレス電極7に印加されるサステインパルス P_{sus} は、サステイン電極3に同期したパルスであるため、スキャン電極2にも、同期したサステインパルスを印加する電極を設ければ、さらなる、画面輝度の上昇及び発光効率の向上が得られる。このため、図7に示すように、サステイン放電補助電極10には、スキャン電極2に印加されるサステインパルス P_{sus} に同期したパルスを印加し、背面ガラス基板9からも放電させる。

【0050】これにより、スキャン電極2からの放電で発生する紫外線も、実施の形態1の場合よりも、均等にセル全体に行き届き、また、放電電流密度も低下するため、更なる、発光効率の向上が可能となる。

【0051】図8は、本発明の実施の形態2によるPDP装置の構成を示すブロック図である。本実施例のPDP装置では、実施形態1のPDP装置の構成において、PDPの垂直方向に電極を配置し、この電極用ドライバをパネルの下部に配置した。なお、このサステイン放電補助電極用ドライバ110は、アドレス電極用ドライバ101内に組み込むことも可能である。

【0052】図8に示したPDP装置の構成は、PDP、サステイン放電補助電極用ドライバ110、アドレス電極用ドライバ101、スキャン電極用ドライバ102、サステイン電極用ドライバ103、放電制御タイミング発生回路部104、A/Dコンバータ（アナログ・デジタル変換器）107、メモリ部106、サブフィールド処理部105及び同期信号分離処理部108を含む。

【0053】ビデオ信号109は、A/Dコンバータ107でアナログ信号をデジタル信号に変換し、1フィールド分の映像データをメモリ部106に蓄積し、サブフィールド処理部105で複数のサブフィールドに適応した映像データに分離され、アドレス電極用ドライバ101に1水平ラインごとのデータとして出力される。また、放電制御タイミング発生回路部104から、サブフィールド数と水平及び垂直同期信号を基準とした放電制御タイミング信号を、サステイン電極用ドライバ103、スキャン電極用ドライバ102、アドレス電極用ドライバ101およびサステイン放電補助電極用ドライバ110に出力する。

【0054】上記のように構成されたPDP装置について、詳細に説明する。同期信号分離処理部108からA/Dコンバータ107、メモリ部106、サブフィールド処理部105及び放電制御タイミング発生回路部104には水平同期信号及び垂直同期信号が与えられる。

【0055】ビデオ信号109がA/Dコンバータ107には入力される。A/Dコンバータ107は、ビデオ信号109を例えば8Bit・256階調のデジタルデータに変換し、その画像データをメモリ部106に出力する。メモリ部106は、1フィールド分の8Bit・256階調のデジタルデータを蓄え、サブフィールド処理部105に各Bit毎のデータを出力する。

【0056】サブフィールド処理部105は、各フィールド毎のデジタルデータをサブフィールド数に対応したサブフィールド毎のデジタルデータに変換する。例えば、8サブフィールドであれば、各ビット毎のデータを、そのまま各サブフィールド毎のデータするが、サブフィールド数が12であった場合には、1ビットに対するサブフィールドが複数となる。表示発光するサブフィールドが時間的に連続するように、サブフィールドを選択する。このように、選択された各サブフィールド毎の各画素データを、アドレス電極用ドライバ101に1水平ライン毎のデータとして出力する。また、サブフィ-

ルド数の情報を、放電制御タイミング発生回路部104に出力する。

【0057】放電制御タイミング発生回路部104は、同期信号分離処理部108からの水平同期信号及び垂直同期信号とサブフィールド処理部105からのサブフィールド数の情報を基準として、放電制御タイミング信号を発生し、それぞれスキャン電極用ドライバ102、サステイン電極用ドライバ103および、アドレス電極用ドライバ101に与える。

10 【0058】図9は、図8に示したPDP装置の、主としてPDP駆動回路部の構成を示すブロック図である。図9に示すように、PDPは複数のアドレス電極7、複数のスキャン電極2、複数のサステイン電極3及び複数のサステイン放電補助電極10を含む構成となる。複数のアドレス電極7及び複数のサステイン補助電極10は画面の垂直方向に配置され、複数のスキャン電極2およびサステイン電極3は画面の水平方向に配置されている。アドレス電極7、サステイン放電補助電極10、スキャン電極2及びサステイン電極3の交点に放電セルが
20 形成され、R、G、B3色の放電セルで1画素を構成している。

【0059】また、アドレス電極用ドライバ101は、アドレスドライバ200、サステインドライバ201及び消去ドライバ203が含まれる。このアドレスドライバ200は、図8のサブフィールド処理部105から各サブフィールド毎に与えられる1水平ライン毎の平行データに基づいて、複数のアドレスドライバ200を駆動する。また、サステイン期間及び消去期間では、サステイン電極用ドライバ103と同期したサステインパルスPsusおよび消去パルスPeraが出力される。
30

【0060】サステイン放電補助電極用ドライバ110には、サステインドライバ201及び消去ドライバ203が含まれる。サステイン期間では、スキャン電極用ドライバ102と同期したサステインパルスPsusが出力される。また、消去期間では、アドレス電極7及びサステイン電極3に同期した消去パルスPeraが出力される。

【0061】スキャン電極用ドライバ102は、スキャンドライバ202及びサステインドライバ201を含む構成となる。スキャンドライバ202は、図8の放電制御タイミング発生回路部104から与えられる放電制御タイミング信号を、垂直スキャン方向にシフトした複数のスキャンパルスPscnにより複数のスキャン電極2を順に駆動する。また、セットアップ期間では、複数のスキャン電極2に一齐にセットアップパルスPsetを出力する。また、サステイン期間では、サステイン電極用ドライバ103と同期したサステインパルスPsusが複数のスキャン電極2に一齐に出力される。

50 【0062】サステイン電極用ドライバ103は、サステインドライバ201及び消去ドライバ203から構成

される。各ドライバには、図8の放電制御タイミング発生回路部104から与えられる放電制御タイミング信号により、複数のサステイン電極3が同時に駆動される。

【0063】図10に実施の形態2に用いた各電極の印加パルスのタイミングチャートを示す。実施の形態1の印加パルスに、サステイン放電補助電極用印加パルスを追加したものである。図10には1サブフィールド分の印加パルス波形を示す。印加パルスはセットアップ期間、アドレス期間、サステイン期間及び消去期間の4段階に分割されている。

【0064】ここでは、サステイン放電補助電極10に印加されるパルスについて説明する。サステイン放電補助電極10の役割は、サステイン期間中にスキヤン電極2と同期して、サステイン放電を行なうことである。このため、印加されるパルスは、サステイン期間中にスキヤン電極2に印加されるパルスに同期したサステインパルス P_{sus} と、消去期間中にアドレス電極7とサステイン電極3に同期した消去パルス P_{era} である。

【0065】ここで特に、サステイン期間での放電について、詳しく説明する。従来のACPDでは、サステイン電極3とスキヤン電極2間の放電であり、放電の中心は表面ガラス基板付近であった。これに対して、実施の形態1では、アドレス電極7にもサステイン電極3に同期したサステインパルス P_{sus} を印加し、サステイン放電の一部を背面ガラス基板9付近にも発生させ、サステイン電極3の放電電流密度を低下させ、さらに、放電により発生する紫外線の一部を背面ガラス基板9付近に移動させ、蛍光体8による発光を向上させた。

【0066】ここで、更なる高輝度及び高効率化を得るには、スキヤン電極3に印加されるサステインパルス P_{sus} と、同期したパルスを印加できる新たな電極が、必要となる。そこで、実施の形態2では、背面ガラス基板9上にアドレス電極7に平行なサステイン放電補助電極10を新たに設け、スキヤン電極2と同期したサステインパルス P_{sus} を印加する。これにより、スキヤン電極2からのサステイン放電の一部が背面ガラス基板9付近にも移動し、さらに、スキヤン電極2とサステイン放電補助電極10が同期して放電することにより放電電流密度が低下し、発光効率が向上することになる。

【0067】さらに、アドレス電極及びサステイン放電補助電極に印加されるサステインパルスの印加タイミングについて、簡単に説明する。図11にサステイン放電補助電極、スキヤン電極、アドレス電極およびサステイン電極に印加されるサステインパルスおよび放電電流を示す。図11(a)は印加タイミングが一致している場合を示し、図11(b)はアドレス電極に印加されるサステインパルスが $1\mu sec$ 以上の先行をしている場合を示し、図11(c)はアドレス電極に印加されるサステインパルスが $1\mu sec$ 以上の遅延となっている場合を示している。

【0068】図11(a)のサステインパルスの印加タイミングが一致している場合は、サステイン放電補助電極、スキヤン電極、アドレス電極及びサステイン電極から放電電流が十分に流れ、画面輝度は上昇し、発光効率も向上する。これに対して、図11(b)及び図11

(c)におけるサステインパルスの印加タイミングでの放電では、スキヤン電極及びサステイン電極のサステインパルスの印加開始からの時間的差異が大きくなるにつれて、サステイン放電補助電極及びアドレス電極からの放電電流は減少し、画面輝度および発光効率は、前面ガラス基板上のサステイン電極とスキヤン電極間の面放電時と同程度になる。このため、サステイン放電補助電極及びアドレス電極に印加するサステインパルスは、画面輝度及び発光効率が最大になるように、 $1\mu sec$ 以内に調整する必要がある。

【0069】以上のように、アドレス電極に平行してサステイン補助電極を設けたもので、前面ガラス基板上の面放電と、前面ガラス基板と背面ガラス基板間の対向放電とを同時に発生させることにより、励起される蛍光体面積が増加し、プラズマディスプレイパネルの画面輝度が上昇し、さらに、サステイン放電にアドレス電極が追加されるために、電極面積が増加し、発光効率が向上するという効果を得ることができる。

【0070】

【発明の効果】以上のように本発明によれば、PDPのサステイン放電において、前面ガラス基板1上の電極以外の、背面ガラス基板9上の電極にもサステインパルス P_{sus} を印加することで、セル内の紫外線の分布が拡大し、さらに、各電極の放電電流密度が低下するため、画面輝度は向上し、発光効率が大幅に改善されるという有利な効果が得られる。

【図面の簡単な説明】

【図1】3電極面放電型ACPDにおけるサステイン放電の概念図

【図2】本発明の実施の形態1によるPDP装置の構成を示すブロック図

【図3】本発明の実施の形態1によるパネル駆動部拡大図

【図4】本発明の実施の形態1による各電極のパルス印加タイミングチャート

【図5】サステインパルスの印加タイミングチャート

【図6】4電極型ACPDの斜視図

【図7】4電極型ACPDによるサステイン放電の概念図

【図8】本発明の実施の形態2によるPDP装置の構成を示すブロック図

【図9】本発明の実施の形態2によるパネル駆動部拡大図

【図10】本発明の実施の形態2による各電極のパルス印加タイミングチャート

15

【図11】サステインパルスの印加タイミングチャート

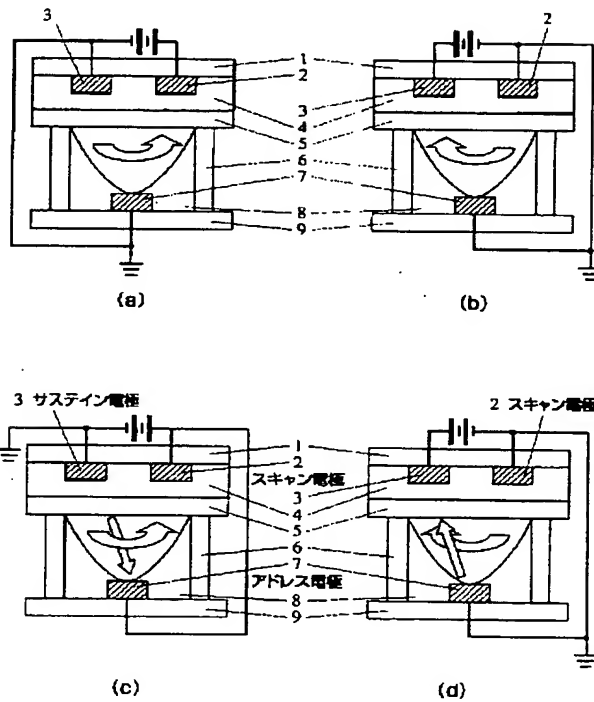
【図12】3電極面放電型ACPDPの構造斜視図

【図13】従来の方法による各電極のパルス印加タイミングチャート

【符号の説明】

- 1 前面ガラス基板
- 2 スキャン電極
- 3 サステイン電極
- 4 誘電体層
- 5 MgO層
- 6 障壁
- 7 アドレス電極
- 8 蛍光体
- 9 背面ガラス基板
- 10 サステイン放電補助電極
- 20 金属バス電極
- 21 透明電極

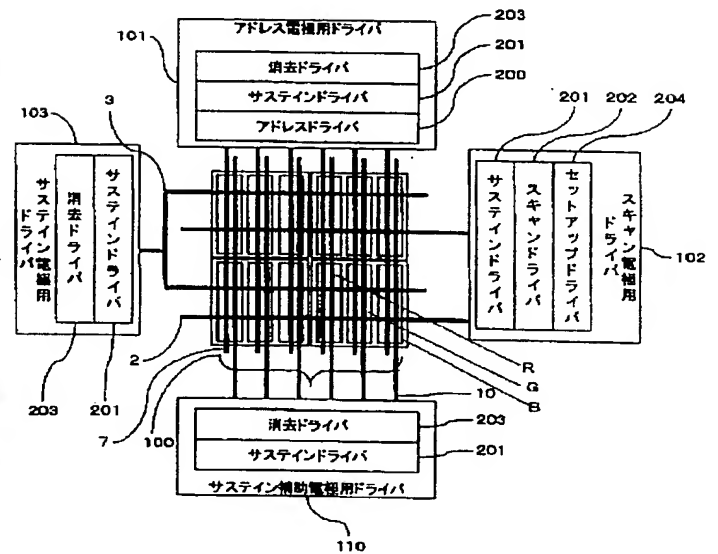
【図1】



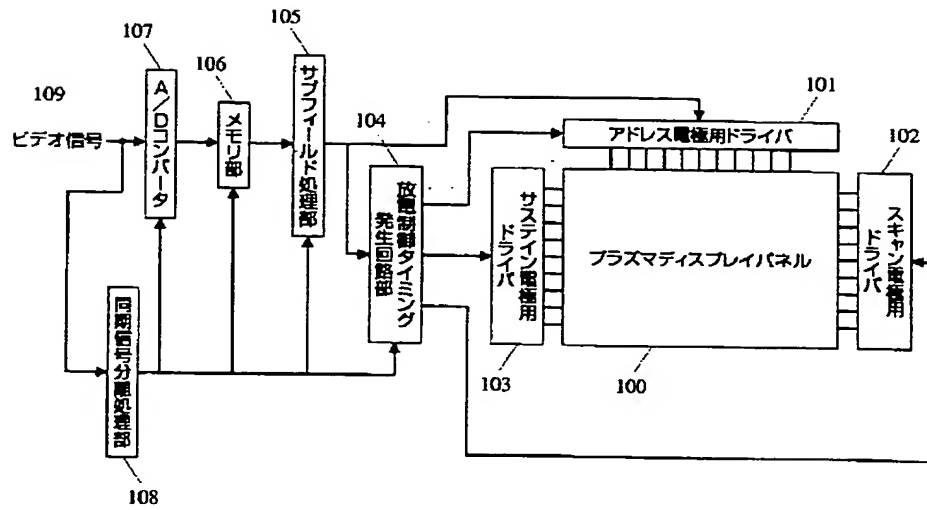
16

- 100 プラズマディスプレイパネル (PDP)
- 101 アドレス電極用ドライバ
- 102 スキャン電極用ドライバ
- 103 サステイン電極用ドライバ
- 104 放電制御タイミング発生回路部
- 105 サブフィールド処理部
- 106 メモリ部
- 107 A/Dコンバータ
- 108 同期信号分離処理部
- 10 109 ビデオ信号
- 110 サステイン放電補助電極用ドライバ
- 200 アドレスドライバ
- 201 サステインドライバ
- 202 スキャンドライバ
- 203 消去ドライバ
- 204 セットアップドライバ

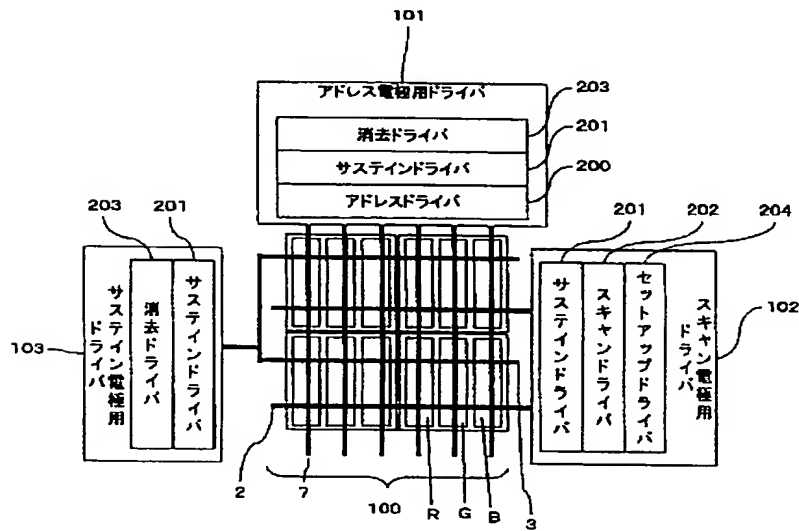
【図9】



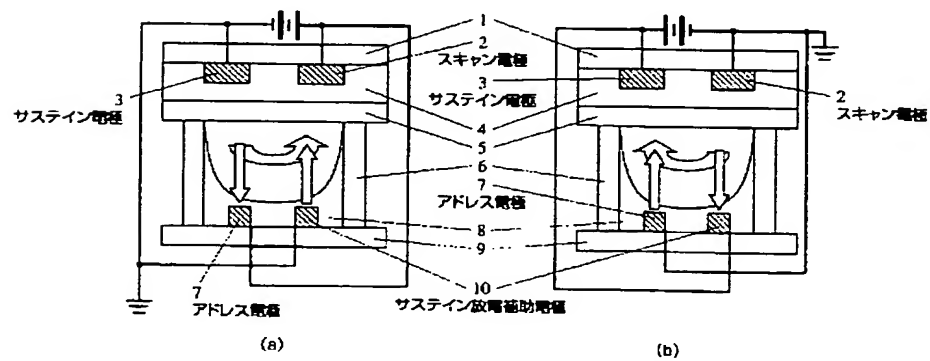
【図2】



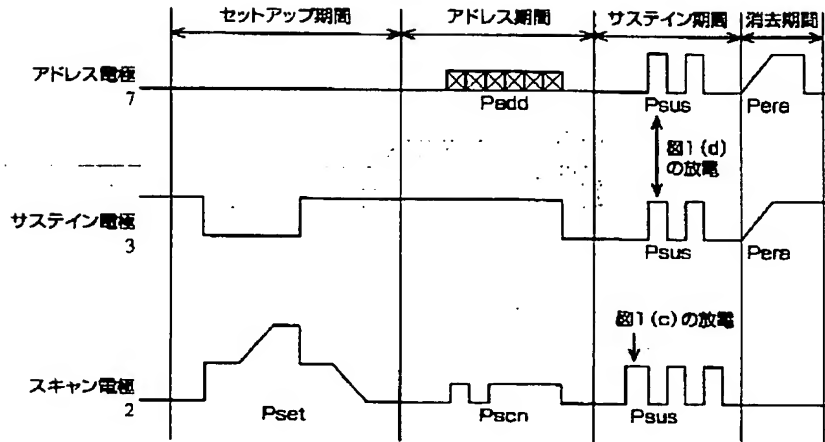
【図3】



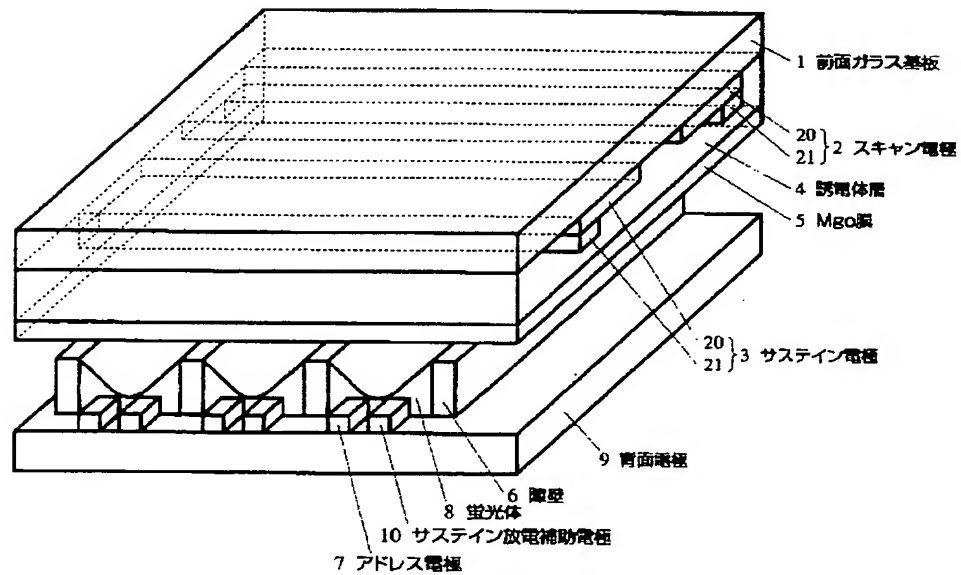
【図7】



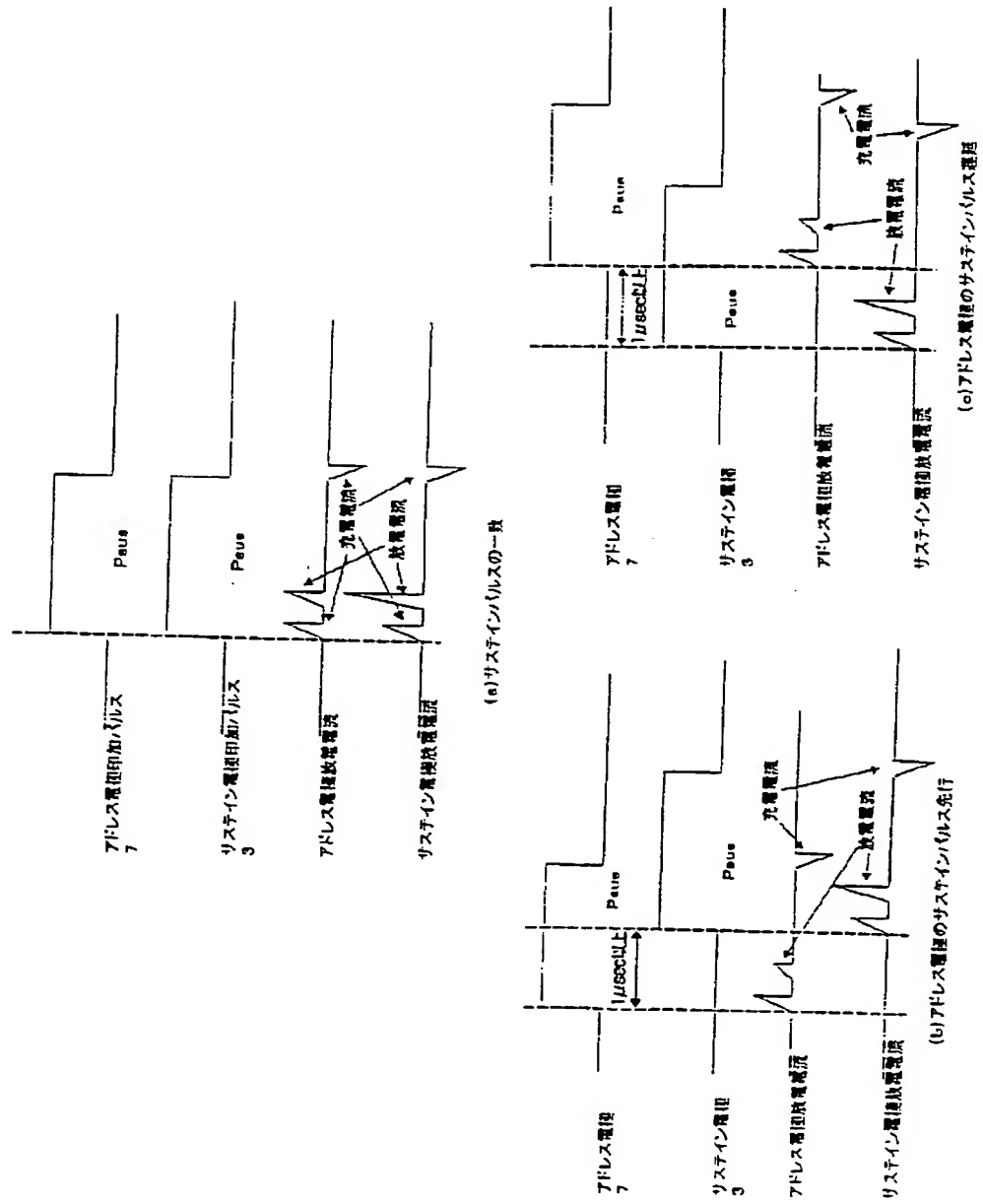
【図4】



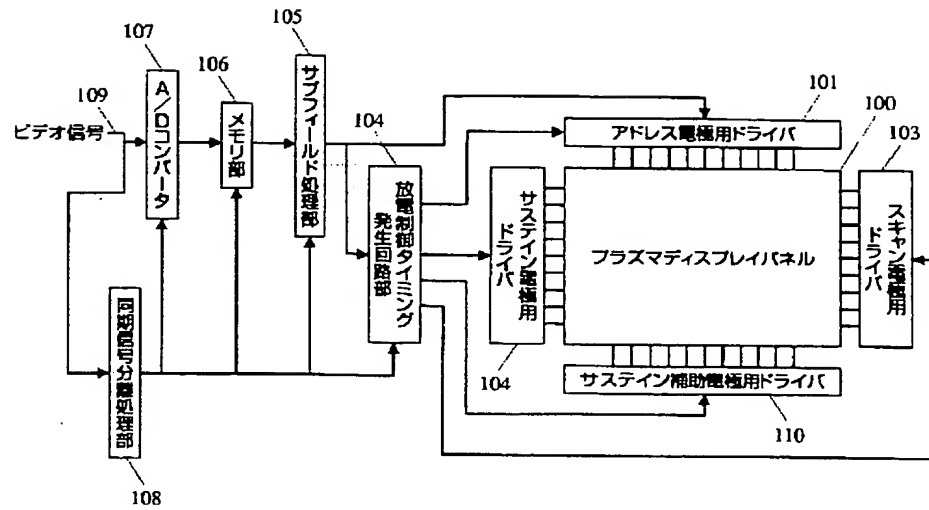
【図6】



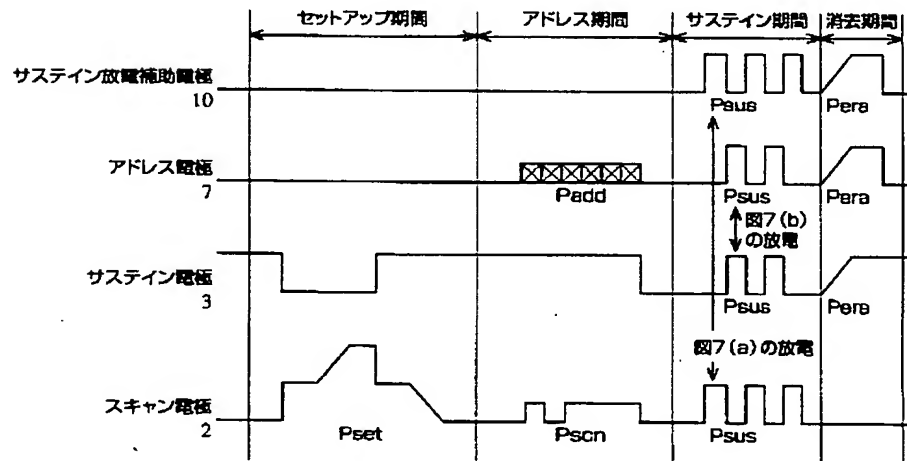
【図5】



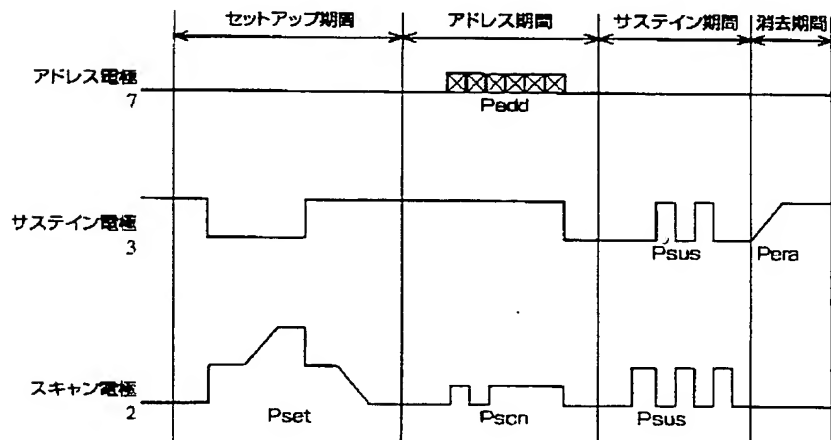
【図 8】



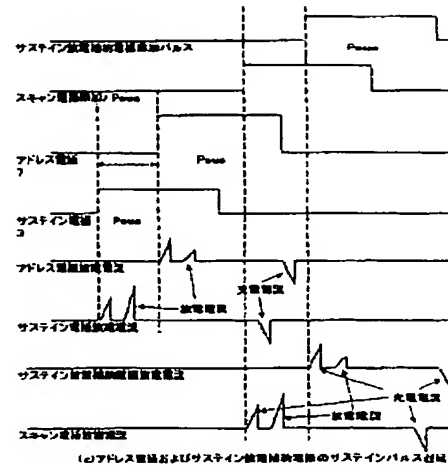
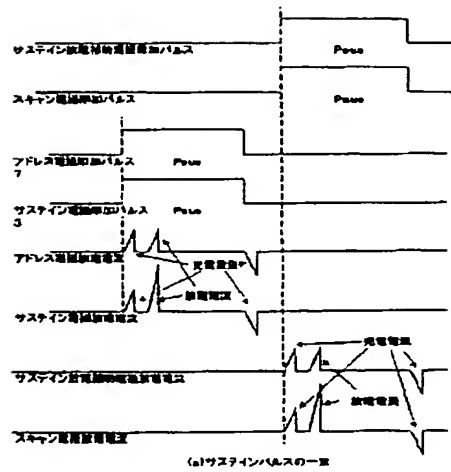
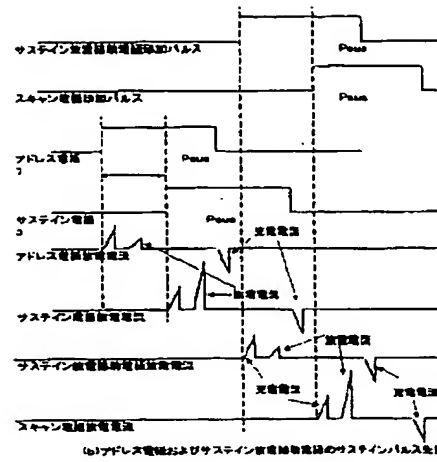
【図 10】



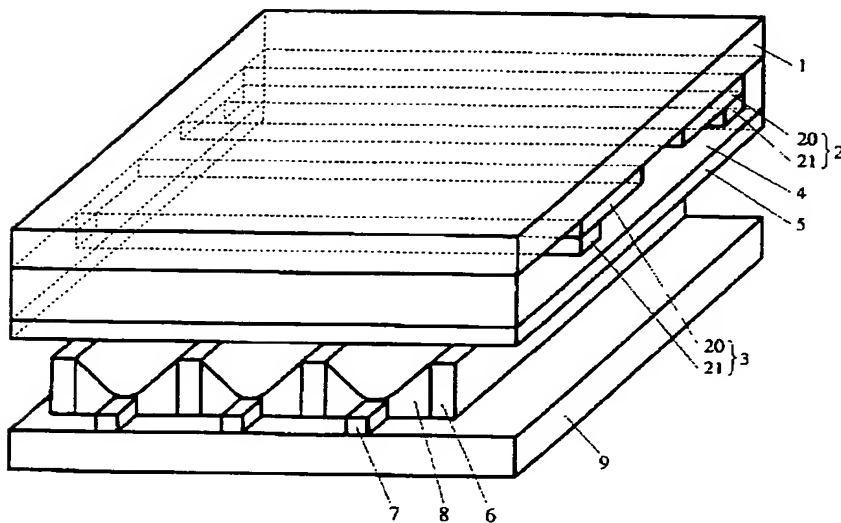
【図 13】



【図11】



【図12】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)